

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-139325

(43)公開日 平成8年(1996)5月31日

(51)Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

21/336

H 0 1 L 29/ 78

3 0 1 X

3 0 1 G

H 0 1 L 29/ 78

3 0 1 H

審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く

(21)出願番号 特願平7-232506

(22)出願日 平成7年(1995)9月11日

(31)優先権主張番号 特願平6-220632

(32)優先日 平6(1994)9月14日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 牛久 幸広

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 水野 智久

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 吉見 信

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦

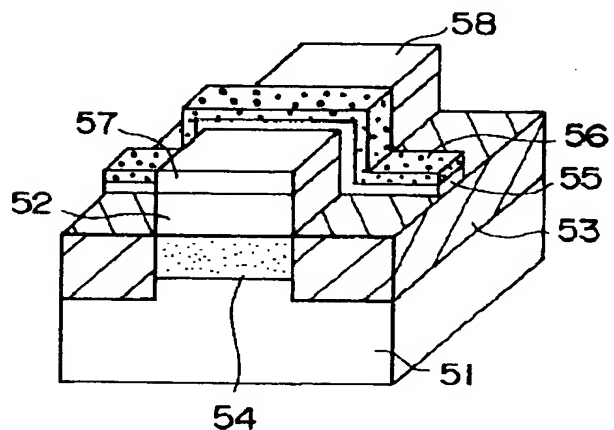
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【課題】パンチスルー現象による短チャネル効果を抑制することができると共に、素子特性を向上させることができる半導体装置を提供する。

【解決手段】凸形状の半導体素子領域を有する基板1と、素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極を挟んで素子領域の上面にチャネル領域を形成するように設けられた第1の導電型のソース領域およびドレイン領域とを具備し、凸形状を有する部分の内部であって前記チャネル領域の下に形成され、チャネル領域の濃度よりも高い濃度で第2の導電型の不純物が含まれる高濃度不純物領域13を有する。



1

【特許請求の範囲】

【請求項 1】 凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極を挟んで前記素子領域の上面にチャンネル領域を形成するように設けられた第 1 の導電型のソース領域およびドレイン領域とを具備し、凸形状を有する部分の内部であって前記チャンネル領域の下に形成され、前記チャンネル領域の濃度よりも高い濃度で第 2 の導電型の不純物が含まれる高濃度不純物領域を有することを特徴とする半導体装置。

【請求項 2】 高濃度不純物領域が、前記ゲート電極よりも下方の前記凸形状を有する部分に形成されている請求項 1 記載の半導体装置。

【請求項 3】 凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極を挟んで前記素子領域の上面にチャンネル領域を形成するように設けられたソース領域およびドレイン領域とを具備し、

前記素子領域の上面に構成されるトランジスタの特性と前記素子領域の側面に構成されるトランジスタの特性が異なることを特徴とする半導体装置。

【請求項 4】 前記ゲート絶縁膜の膜厚、ゲート絶縁膜の材料、およびゲート電極の材料からなる群より選ばれた少なくとも 1 つが前記素子領域の上面および前記素子*

$$W \leq 2\sqrt{2} (\epsilon_s \cdot \phi_F / q \cdot N_{\text{sub}})^{1/2} \quad \dots (I)$$

(式中、 q は電子電荷 (クーロン)、 ϕ_F は半導体基板のフェルミ準位 (eV)、 ϵ_s は半導体基板の誘電率

(ファラッド/cm)、および N_{sub} は半導体基板の不純物濃度 (cm⁻³) である。)

【請求項 8】 凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極を挟んで前記素子領域の上面にチャンネル領域を形成するように設けられたソース領域およびドレイン領域と、

前記ドレイン領域の側部を覆うように形成され、前記ゲート電極の電位と同じ電位に設定可能な電極と、を具備することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に MOS 形トランジスタの改良された構造に関する。

【0002】

【従来の技術】 従来、MOS 集積回路、特に MOS 形トランジスタでは、素子を微細化することによって集積度のみならず、回路動作の高速化、低消費電力化が図られてきた。従来の平面的な構造を有する MOS 形トランジスタの断面を図 22 に示す。この MOS 形トランジスタ

2

*領域の側面において異なるように設定された請求項 3 記載の半導体装置。

【請求項 5】 凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極を挟んで前記素子領域の上面および側面に設けられた第 1 の導電型のソース領域およびドレイン領域とを具備し、

前記素子領域の上面および側面に形成されたソース領域およびドレイン領域が前記素子領域内部において互いに接触しないことを特徴とする半導体装置。

【請求項 6】 凸形状を有する部分の内部であって前記チャンネル領域の下に形成され、前記チャンネル領域の表面における濃度よりも高い濃度で第 2 導電型の不純物が含まれる高濃度不純物領域を有する請求項 5 記載の半導体装置。

【請求項 7】 凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極を挟んで前記素子領域の上面にチャンネル領域を形成するように設けられたソース領域およびドレイン領域とを具備し、

前記ドレイン領域の側部に絶縁膜を介して一定電位に保持された電極が形成され、前記凸形状の素子領域の幅 W が以下の式 (I) を満足することを特徴とする半導体装置。

は、図 22 に示すように、半導体基板 101 上にゲート絶縁膜 102 を介してゲート電極 103 が形成されており、フィールド酸化膜 104 により素子分離がなされている。

【0003】 このような構造においては、素子の微細化が進むにしたがって、問題が生じてきている。その代表的な要因としてゲート絶縁膜 102 の膜厚と半導体基板 101 中の不純物濃度が挙げられる。ゲート絶縁膜 102 の膜厚に関しては、素子の微細化にともなって薄くなってきているが、膜厚が 4 nm 以下になると直接的なトンネリング現象が起り、ゲート電流が半導体基板 101 に流れてしまうので、安定に回路動作が行われないう問題がある。

【0004】 また、不純物濃度に関しては、素子の微細化にともなって高くなってきているが、基板濃度が 10^{18}cm^{-3} を超える付近から、ソース・ドレイン拡散層と半導体基板 101 との間にトンネリングによるリーク電流が流れるという問題がある。したがって、従来の平面的な構造を有する MOS 形トランジスタは、ゲート絶縁膜の膜厚や半導体基板の不純物濃度、また短チャンネル効果の制約から、ゲート長 0.1 μm 以下に微細化することが難しいと考えられる。

【0005】 上記の問題を考慮して、さらなる素子の微

3

細化を進めるために、図 23 (A) および図 23 (B) に示す構造を有する MOS 形トランジスタが提案されている (例えば、特開昭 64-42176 号公報、特開昭 64-27270 号公報)。この MOS 形トランジスタは、半導体基板 5 に素子分離領域となる溝を形成することにより凸部 105a を形成し、その溝内に絶縁膜等を介して多結晶ポリシリコン膜または直接シリコン酸化膜 110 を埋め込み、凸部 105a の上部および側部に形成したゲート絶縁膜 109 を介してゲート電極 106 を形成し、そのゲート電極 106 をマスクとしてソース領域 107 およびドレイン領域 108 を形成することにより構成されている。このような構成を有する MOS 形トランジスタ (以下、凸形トランジスタと省略する) は、カットオフ特性が良好である。

【0006】また、この凸形トランジスタにおいては、素子領域の凸部 105a をゲート電極から伸びる空乏層によりすべて空乏化するように、凸部 105a の幅を設定することにより、チャネルポテンシャルに対するゲート電極への影響を増大させることができ、結果としてドレイン電極の影響を抑えて短チャネル効果を抑制することができる。さらに、この凸形トランジスタにおいて、電流が凸部 105a 表面を流れるため、側面の電流も利用することができるので、通常の平面的な構造を有する MOS 形トランジスタよりも大きな電流を流すことができる。

【0007】

【発明が解決しようとする課題】しかしながら、従来の凸形トランジスタにおいては、以下のような問題がある。すなわち、第 1 に、閾値の決定において、チャネル幅に依存される。このため、閾値制御の自由度が小さい。特に、チャネル幅が広い場合には、側部の寄生トランジスタが動作するために、電流と電圧との関係を示す特性図においてハンプ (こぶ) が生じる。

【0008】第 2 に、ゲート電極 106 で被われていない凸部 105a の領域、すなわちゲート電極 106 で取り囲まれる凸部の領域よりも深い領域では、ゲート電極 106 により制御することができないので、ソース領域 107 およびドレイン領域 108 の間でパンチスルー現象による短チャネル効果が生じる。このため、ゲート長の微細化が困難となる。

【0009】第 3 に、上記ゲート電極 106 で取り囲まれる凸部の領域よりも深い領域では、ドレイン電圧を増大させたとき、ドレイン領域 108 から伸びる電気力線が、ソース領域 107 の方向に向かい、ゲート電極 106 だけではドレイン電圧によるチャネルポテンシャルの変動を十分に抑えることができない。特に、短チャネル*

$$W \leq 2\sqrt{2} (\epsilon_s \cdot \phi_F / q \cdot N_{\text{sub}})^{1/2} \quad \dots (1)$$

(式中、q は電子電荷 (クーロン)、 ϕ_F は半導体基板のフェルミ準位 (eV)、 ϵ_s は半導体基板の誘電率 (ファラッド/cm)、および N_{sub} は半導体基板の不純

4

*の場合には、ソース領域 107-ドレイン領域 108 方向のゲート電極 106 の幅 L が短いため、それほど素子特性が向上しない。

【0010】本発明はかかる点に鑑みてなされたものであり、パンチスルー現象による短チャネル効果を抑制することができると共に、素子特性を向上させることができる半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の第 1 の発明は、凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟んで前記素子領域の上面にチャネル領域を形成するように設けられた第 1 の導電型のソース領域およびドレイン領域とを具備し、凸形状を有する部分の内部であって前記チャネル領域の下に形成され、前記チャネル領域の濃度よりも高い濃度で第 2 の導電型の不純物が含まれる高濃度不純物領域を有することを特徴とする半導体装置を提供する。

【0012】本発明の第 2 の発明は、凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟んで前記素子領域の上面にチャネル領域を形成するように設けられたソース領域およびドレイン領域とを具備し、前記素子領域の上面に構成されるトランジスタの特性と前記素子領域の側面に構成されるトランジスタの特性が異なることを特徴とする半導体装置を提供する。

【0013】本発明の第 3 の発明は、凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟んで前記素子領域の上面および側面に設けられた第 1 の導電型のソース領域およびドレイン領域とを具備し、前記素子領域の上面および側面に形成されたソース領域およびドレイン領域が前記素子領域内部において互いに接触しないことを特徴とする半導体装置を提供する。

【0014】本発明の第 4 の発明は、凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟んで前記素子領域の上面にチャネル領域を形成するように設けられたソース領域およびドレイン領域とを具備し、前記ドレイン領域の側部に絶縁膜を介して一定電位に保持された電極が形成され、前記凸形状の素子領域の幅 W が以下の式 (1) を満足することを特徴とする半導体装置を提供する。

【0015】

物濃度 (cm⁻³) である。) 本発明の第 5 の発明は、凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁

5

膜を介して形成されたゲート電極と、前記ゲート電極を挟んで前記素子領域の上面にチャンネル領域を形成するように設けられたソース領域およびドレイン領域と、前記ドレイン領域の側部を覆うように形成され、前記ゲート電極の電位と同じ電位に設定可能な電極とを具備することを特徴とする半導体装置を提供する。

【0016】

【発明の実施の形態】本発明において、半導体基板としては、シリコン基板や、絶縁層上にシリコン膜等の半導体膜を形成したSOI (Silicon On Insulator) 基板等を用いることができる。ゲート絶縁膜の材料としては、 SiO_2 等を用いることができる。ゲート電極の材料としては、ポリシリコン、モリブデン、タングステン、 MoSi_2 、 WSi_2 、 TiSi_2 等を用いることができる。また、素子分離膜の材料としては、CVD- SiO_2 、ポリシリコン、ボロンリンガラス (BPSG) 等を用いることができる。

【0017】本発明の第1および第3の発明においては、ソースおよびドレイン拡散層領域は、凸型素子領域の上部および側部に不純物をドーピングすることにより形成される。この場合、凸型素子領域の側部から導入された不純物により形成されるソースおよびドレイン拡散層領域は、凸型素子領域内部で互いに直接接触することなく、凸型素子領域上部から導入された不純物により形成されるソースおよびドレイン拡散層領域により接続される。このような構造、すなわち凸型素子領域の上面および側面にソースおよびドレイン拡散層領域が形成された構造は、平面型トランジスタにおいて浅い拡散層が形成された構造と等価である。

【0018】第1および第3の発明において、凸型素子領域内に不純物をドーピングする方法としては、凸型素子領域の斜め上方からのイオン注入法、気相拡散法、イオン注入法と固相拡散法との組み合わせ等の方法を挙げることができる。また、これらの方法の条件は、適宜設定する必要がある。

【0019】第1および第3の発明においては、高濃度不純物領域は、凸形状を有する部分の内部であってチャンネル領域の下に形成される。また、高濃度不純物領域は、ゲート電極よりも下方の素子領域に形成されていることが好ましい。この位置に高濃度不純物領域が存在することにより、ゲート電極下のドレイン領域からチャンネル領域へ延びる空乏層を抑えることができると共に、凸型素子領域のチャンネル部分の完全空乏化を実現することができる。これにより、ゲート電極下におけるパンチスルーを防止することができる。

【0020】第1および第3の発明によれば、凸形状の素子領域上部および側部からソースおよびドレイン拡散層領域を形成することができるので、実効的な素子チャンネル幅を広くしつつ、チャンネル表面から浅い領域に拡散層を形成することができる。これにより、ゲート電極に

6

よりポテンシャル制御されにくいチャンネル領域内中央部におけるパンチスルー耐圧を向上させることができる。

【0021】また、第1および第3の発明によれば、ソースおよびドレイン拡散層と逆の導電型の不純物をチャンネル表面の濃度よりも高い濃度で含む高濃度不純物領域をチャンネル領域中央部に形成するので、ゲート電極により制御されにくい比較的深い領域において、ドレイン電極からチャンネル領域に延びる空乏層を抑えることができ、これにより短チャンネル効果を抑制することができる。また、上記チャンネル中央部におけるソースおよびドレイン拡散層領域とチャンネル領域とに接する部分に導入する不純物の種類や量を適宜選択することにより、拡散層と基板との間の接合容量の増加を防止することができる。

【0022】本発明の第2の発明において、トランジスタの特性とは、閾値や相互コンダクタンス等を意味する。また、素子領域の上面に構成されるトランジスタと、素子領域の側面に構成されるトランジスタとの間で前記特性が異なるようにするためには、ゲート絶縁膜の膜厚、ゲート絶縁膜の材料、およびゲート電極の材料からなる群より選ばれた少なくとも1つを素子領域の上面および側面において異なるように設定する。

【0023】本発明の第2の発明は、素子領域の上面に構成されるトランジスタの特性と前記素子領域の側面に構成されるトランジスタの特性が異なることを特徴としている。素子領域の上面に構成されるトランジスタと、素子領域の側面、具体的にはコーナー部に構成されるトランジスタの特性を変えることにより、全体のトランジスタに対して次のように作用する。

【0024】素子領域上面から側面にわたって形成されたゲート電極は、上面と側面の交わる部分、すなわちコーナー部において比較的大きな電界を及ぼす。この結果、素子領域のコーナー部には、平坦な上面に比べて伸びの大きい空乏層が生じる。チャンネル領域の幅方向のそれぞれのコーナー部から伸びる空乏層が互に重なり合うと、ゲート電極の幅方向におけるチャンネル領域の中央部の空乏層の深さは、素子領域上面のみにゲート電極が設けられた場合より深くなる。このような状態では、トランジスタ特性は、コーナー部に構成されるトランジスタにより支配される。

【0025】また、このコーナー部に構成されるトランジスタは、平坦部（上面）に構成されたトランジスタに比べて、ゲート電極の支配が大きく、チャンネル部の電界が強いため、半導体基板バイアスの影響が現われにくくなる。したがって、空乏化が進んで側面から伸びる空乏層同士が接近すると、ゲート電圧の変化に対するチャンネル領域の電界の変化が大きくなるので良好なカットオフ特性が得られる。なお、素子特性は、コーナー部から伸びる空乏層の長さ、他のコーナー部から伸びた空乏層との距離によって大きく変化してしまう。

7

【0026】このような動作原理のもとで、コーナ一部と平坦部（上面）のゲート電極の支配力を別々に制御することにより、両方のトランジスタ特性が複合された素子特性、いわゆるハンプ特性が発生することなく、安定な回路動作を行うことができる。

【0027】本発明の第4および第5の発明において、ドレイン領域の側部に形成する絶縁膜としては、酸化膜等を用いることができる。また、一定電位に保持された電極の材料としては、ポリシリコン等を用いることができる。

【0028】第4および第5の発明において、一定電位に保持された電極がゲート電極と電気的に接続していることが好ましい。本発明の第4および第5の発明は、ドレイン領域の側部に絶縁膜を介して一定電位に保持された電極が形成され、凸形状の素子領域の幅 W が $W \leq 2\sqrt{2(\epsilon_s \cdot \phi_F / q \cdot N_{sub})^{1/2}}$ （式中、 q は電子電荷（クーロン）、 ϕ_F は半導体基板のフェルミ準位（eV）、 ϵ_s は半導体基板の誘電率（ファラッド/cm）、および N_{sub} は半導体基板の不純物濃度（ cm^{-3} ）である。）を満足することを特徴としている。

【0029】素子領域の幅 W を上式を満足するように設定することにより、一定電位に保持された電極間の凸形状の部分はすべて空乏化する。また、ドレイン領域の側部に電気力線をシールドする電極を形成しているため、ドレイン領域から伸びる電気力線はソース領域方向に伸びず、ほとんど側部の電極で終端する。その結果、ドレイン電位によるチャネル領域の電位の低下は抑えられ、短チャネル効果を効果的に抑制することができる。

【0030】また、第4および第5の発明においては、凸形状の半導体素子領域を有する基板と、前記素子領域の上面および側面にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極を挟んで前記素子領域の上面に設けられたソース領域およびドレイン領域と、前記ドレイン領域の側部を覆うように形成され、前記ゲート電極の電位と同じ電位に設定可能な電極とを具備する半導体装置を提供する。

【0031】この態様においても、ドレイン領域から伸びる電気力線を側部の電極で終端せしめることが可能であり、短チャネル効果を抑制することが可能である。以下、本発明の実施例を図面を参照して具体的に説明する。

（実施例1）図1は、本発明の第1の発明にかかる半導体装置の製造工程を説明するための図である。まず、図1（A）に示すように、シリコン基板1上に、例えば熱酸化法によってシリコン酸化膜2を厚さ10nm程度形成する。次いで、化学的気相成長法を用いてポリシリコン膜3を厚さ200nm程度形成する。次いで、その上に同様に化学的気相成長法を用いてシリコン酸化膜4を厚さ200nm程度形成する。さらに、その上にレジスト膜5を形成し、例えばフォトリソグラフィにより

8

パターニングして所望の形状の素子分離領域を形成する。

【0032】次に、シリコン酸化膜4とポリシリコン膜3を、レジスト膜5をマスクとして、順次異方性エッチング法、例えば反応性イオンエッチング（RIE）法を用いてエッチングして開口部6を加工し、レジスト膜5を剥離する。その後、図1（B）に示すように、開口部6におけるシリコン酸化膜2を NH_4F 溶液等により除去する。次いで、シリコン酸化膜4をマスクとしてRIE等の異方性エッチング法を用いて素子分離領域となる素子分離溝7を例えば500nm程度の深さで形成する。

【0033】次に、シリコン酸化膜4を NH_4F 溶液等によって除去した後、シリコン基板1をエッチングした際に生じた欠陥等を除去する等の目的で、熱酸化法を用いて、シリコン酸化膜8を厚さ10nm程度形成する。

【0034】次に、図1（C）に示すように、化学的気相成長法等を用いて、素子分離溝7に例えば充填材として SiO_2 9を1 μm 程度堆積する。その後、充填材 SiO_2 9を反応性イオンエッチング法や、CMP（Chemical Mechanical Polishing）等の方法を用いて、ポリシリコン膜3の表面が露出するまでエッチバックし、平坦化する。そして、露出したポリシリコン膜3を、例えばCDE（Chemical Dry Etching）等の方法を用いて剥離する。その後、図2（A）に示すように、 NH_4F 溶液等のエッチングにより、素子分離領域9の表面をチャネル形成領域表面に対して、例えば300nm程度後退させ、チャネル領域となる凸型シリコン部10を形成する。

【0035】次に、図2（B）の平面図に示すように、凸型シリコン部10表面に熱酸化法等により、例えば厚さ10nmの熱酸化膜11を形成し、その後素子チャネル領域上にレジスト膜12を塗布し、例えばフォトリソグラフィにより所望形状にパターニングする。

【0036】次に、前記レジスト膜をマスクとして、例えばイオン注入法を用いて基板と同導電型の不純物をドーピングして、凸型シリコン部10内に図4に示すような高濃度不純物領域13を形成する。

【0037】その後、レジスト膜を除去し、例えば NH_4F 溶液等により、凸型シリコン部表面の酸化膜を剥離し、再度熱酸化法等により凸型シリコン部表面に、例えば厚さ6nmの熱酸化膜14を形成し、ゲート電極となる、例えばリンをドーブしたポリシリコン膜15を厚さ約200nmで形成する。次いで、その上にレジスト膜を塗布し、例えばフォトリソグラフィにより、所望ゲート電極のパターンにパターニングする。そして、例えば異方性エッチング法を用いてポリシリコン膜をエッチングして、図3（A）に示すように、ゲート電極を形成する。

【0038】次に、図3（B）に示すように、ゲート電

9

極をマスクとし、自己整合的に素子形成領域の斜め上方より不純物をイオン注入して、図5に示すようにソース電極およびドレイン電極16を形成する。この場合、凸型シリコン側部側から導入された不純物による拡散層領域は、その後の活性化工程等の熱工程を経た後においても、凸型シリコン内部で接することなく、凸型シリコン上部表面より導入された拡散層領域を介して接する構造を形成する。この構造は、凸型シリコン側部および上部表面から導入する不純物のドーピング条件、例えばイオン注入条件と、その後の熱工程による拡散条件とにより、拡散層の深さが決定されるものである。

【0039】その後、通常の工程により、例えば全面にシリコン酸化膜をCVD法により堆積し、これにソース電極、ドレイン電極、およびゲート電極に達するコンタクトホールを形成し、A1配線を配設して素子を完成させる。

【0040】図6に、上記のようにして作製された素子（チャンネル内部のソースドレイン電極間に基板と同じ導電型の不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 程度導入したもの）のチャンネル長に対する閾電圧の変化を示す。また、比較のために、チャンネル内部のソースドレイン電極間に基板と同じ導電型の不純物を $1 \times 10^{16} \text{ cm}^{-3}$ 程度導入した素子のデータも図6に併記する。図6から明らかなように、本発明の第1の発明にかかる素子の方が、短チャネル効果を有効に抑制できていることが分かる。

【0041】また、図7に、上記のようにして作製された素子（チャンネル内部のソースドレイン電極間に基板と同じ導電型の不純物を $1 \times 10^{18} \text{ cm}^{-3}$ 程度導入したもの）のチャンネル長に対するサブスレッショルド係数の変化を示す。ここでも、比較のために、チャンネル内部のソースドレイン電極間に基板と同じ導電型の不純物を $1 \times 10^{16} \text{ cm}^{-3}$ 程度導入した素子のデータを図7に併記する。図7から明らかなように、本発明の第1の発明にかかる素子の方が、パンチスルー起因によるサブスレッショルド係数の劣化を有効に抑制できていることが分かる。

（実施例2）図8（A）は本発明の第2の発明にかかる半導体装置（MOS形トランジスタ）の一実施例を示す断面図である。図中21は半導体基板を示す。本実施例では、半導体基板21としてp型シリコン基板を使用する。半導体基板21には、凹凸が形成されており、凹部22が素子分離領域に対応し、凸部23が素子領域に対応している。この凸部23は、半導体基板21上にエピタキシャル成長で形成してもよく、エッチング法により形成してもよい。本実施例では、凸部23の高さは $0.6 \mu\text{m}$ であり、幅は $0.3 \mu\text{m}$ である。また、凸部23のp型不純物濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 程度である。なお、凸部23には、n型不純物の拡散層であるソース領域およびドレイン領域が凸部23上面から深さ $0.05 \mu\text{m}$ に形成されている。

10

【0042】凹部22上には、絶縁膜24として厚さ $0.3 \mu\text{m}$ の SiO_2 が埋め込まれるようにして形成されている。凸部23の上面および側面には、ゲート絶縁膜25としてシリコン酸化膜が形成されている。ゲート絶縁膜25の厚さは、上面25aが 12 nm であり、側面25bが 6 nm である。絶縁膜24およびゲート絶縁膜25上には、ゲート電極26として、リンをドーパしたポリシリコンが厚さ $0.2 \mu\text{m}$ で形成されている。このようにして、本発明の第2の発明にかかる半導体装置（素子）が構成されている。

【0043】図8（B）は図8（A）に示すトランジスタのゲート電極26に正の電位を印加したときに、凸部23内に発生する空乏領域の広がり性を示している。図8（B）から分かるように、凸部23の上面の平坦部中央の空乏領域の伸びIが側面およびコーナー部27に比べて小さい。このため、このトランジスタの特性は、コーナー部27のトランジスタの特性に支配される。さらに、ゲート電極26の電位を上げると側面からの空乏領域同士がつながり、上面に形成されたゲート電極26からの支配を受けにくくなることもあって、それ以降空乏領域が伸びにくくなる。したがって、それ以降のゲート電極の電位の増加はすべて反転層形成に費やされるので、ゲート電圧の増加に対する反転層中のキャリアの増加の割合が大きくなり、良好なカットオフ特性が得られる。

【0044】ここで、凸部を有する半導体基板に形成されたMOS形トランジスタの典型的なドレイン電流（ I_D ）-ゲート電圧（ V_G ）特性を図9に示す。図9

（A）は凸部上面の平坦部のみにゲート電極が形成されている場合の特性を示している。この場合、ゲート電極の支配力が弱いので、閾値はやや高く 0.7 V 程度である。また、この場合、 $\log I_D - V_G$ 特性の傾きも急峻でない。この傾向は、凸部上面に構成されるトランジスタが支配的である場合でも同じように現れる。このような特性は、凸部側面に形成されたゲート電極の電位による側面からの空乏領域の伸びが小さい場合に観察される。

【0045】一方、コーナー部のゲート電極の支配力が強い場合では、ドレイン電流-ゲート電圧特性は図9

（B）に示すようになる。すなわち、閾値が低く、しかも $\log I_D - V_G$ 特性の傾きが急峻である。これは、凸部側面から伸びる空乏領域同士がつながるような場合に起こる。これは、それ以降の空乏領域の拡大が構造的に抑えられるので、ゲート電圧の増加に伴い反転層内のキャリアが増加するからである。ただし、このような特性は、ゲート電極の幅が比較的小さい場合にしか起こらない。側面からの空乏領域同士がつながらない程にゲート電極の幅が広い場合では、ドレイン電流-ゲート電圧特性は図9（C）に示すようになる。すなわち、図9

（A）および図9（B）の特性曲線が重なったようにな

11

る。この場合、特性曲線にハンプ（こぶ）が発生し、回路動作に悪影響を与える恐れがある。

【0046】図8に示す構造の場合は、凸部23側面に形成されたゲート絶縁膜25bの膜厚が薄く、側面に形成されたゲート電極の支配力が強いので、コーナー部27に構成されるトランジスタの特性が主に現れる。

【0047】図23に示す構造、すなわち凸部上面および側面に形成されているゲート絶縁膜の厚さが等しい構造の場合にも、コーナー部には上面と側面の両方のゲート電極からの電界が集中するので、比較的コーナー部のトランジスタの特性が主に現れるが、図8に示す構造の場合はその傾向がより顕著になる。したがって、図8に示す構造の方が、ゲート電極の幅がより広い領域まで、半導体基板の不純物濃度がより濃い領域まで図9（B）の特性は維持される。このことは、ゲート絶縁膜の膜厚を凸部23上面および側面で変えることにより、トランジスタ特性を変えることができることを示す。これにより、回路設計のマージン、閾値設定のマージンが拡大する。

【0048】図10～図12は本発明の第2の発明にかかる半導体装置の他の実施例を示す断面図である。図10では、凸部23上面に形成されたゲート絶縁膜25aの膜厚が6nmであり、凸部23側面に形成されたゲート絶縁膜25bの膜厚が12nmである。この場合は、側面に形成されたゲート電極26の支配力が弱まるので、コーナー部27で構成されるトランジスタの特性が弱まり、凸部23上面で構成されるトランジスタの特性が主に現れる。したがって、コーナー部27で構成されたトランジスタに影響を受けにくい素子が必要な場合には、図10に示す構造が有効である。

【0049】図11では、凸部23上面に形成するゲート絶縁膜28aとして、比誘電率が3.9である厚さ12nmのシリコン酸化膜を用い、凸部23側面に形成するゲート絶縁膜28bとして、比誘電率が7.5である厚さ12nmのシリコン窒化膜を用いている。この場合、凸部23側面に形成されたゲート絶縁膜28bが凸部23上面に形成されたゲート絶縁膜28aの約2倍の比誘電率を有するので、コーナー部27に構成されるトランジスタの特性が主に現れ、実効的には、ほぼ図8に示す構造を有する素子と同等の結果が得られる。ただし、図8に示す構造に比べると、凸部23側面に形成されているゲート絶縁膜28bの膜厚がゲート絶縁膜25bの2倍であるので、ゲート絶縁膜の信頼性が向上する。なお、信頼性に問題なければ凸部23側面に形成するゲート絶縁膜28bの膜厚を薄くして、よりコーナー部27に構成されるトランジスタの特性を強めることができる。

【0050】この構造では、ゲート絶縁膜28aおよび28bの材料を異なるようにすれば、変形例が多数考えられる。例えば、凸部23上面に形成するゲート絶縁膜

12

28aとしてシリコン窒化膜を用い、凸部23側面に形成するゲート絶縁膜28bとしてシリコン酸化膜を用いることにより、図9（A）に示す特性を得ることができる。なお、ゲート絶縁膜28aおよび28bの材料は、シリコン酸化膜、シリコン窒化膜の他に、タンタル酸化膜、チタン酸ストロンチウム膜、強誘電体膜等から適宜選択して組み合わせることができる。この場合、ゲート絶縁膜28aおよび28bの膜厚は任意に選択することができるので、回路設計においてゲート電極の幅、閾値等を自由に規定することができる。

【0051】図12では、凸部23上面に形成するゲート電極29aとして、リンをドーブしたポリシリコンを用い、凸部23側面に形成するゲート電極29bとして、タングステンシリサイドを用いている。また、凸部23上面および側面に形成するゲート絶縁膜20aおよび20bの膜厚は共に60nmである。

【0052】この構造では、凸部23上面および側面に形成されているゲート電極29aおよび29bの材料の仕事関数差から、凸部23側面で構成されるトランジスタの閾値は凸部23上面で構成されるトランジスタの閾値より0.4V高くなる。したがって、この場合素子特性は、コーナー部27で構成されるトランジスタの特性が弱く、凸部23上面で構成されるトランジスタの特性が強い図9（A）に示すようになる。凸部23上面および側面のゲート電極の材料を交換すれば、素子特性は図9（B）に示すようになる。

【0053】この構造においては、凸部23上面および側面のゲート電極の材料が異なっていれば良く、ポリシリコン、タングステンシリサイド、またはタングステン等の金属等の材料から任意に選択して組み合わせることができる。

【0054】図12に示す素子は、例えば、図13（A）～図13（D）に示す工程にしたがって製造される。すなわち、まず、半導体基板21の凸部23上面に、ゲート絶縁膜30aとして厚さ12nmの熱酸化によるシリコン酸化膜を形成する。次いで、ゲート絶縁膜30a上に、ゲート電極29aとしてCVD法によりリンをドーブした厚さ200nmのポリシリコン膜を形成する。さらに、CVD法により厚さ200nmのシリコン酸化膜31を形成する。

【0055】次いで、フォトリソグラフィ法により素子領域にレジスト層を形成し、このフォトレジストパターンをマスクにしてRIE法により、シリコン酸化膜31をエッチングする。次いで、図13（A）に示すように、レジスト層を除去した後、エッチングしたシリコン酸化膜31をマスクにしてRIE法でポリシリコン膜、熱酸化によるシリコン酸化膜、および半導体基板21をエッチングする。半導体基板21をエッチングする深さは0.6μmに設定する。なお、熱酸化によるシリコン酸化膜は非常に薄いので、特別な工夫はしなくても他の

13

ポリシリコン膜および半導体基板と同時に加工することができる。

【0056】次に、図13(B)に示すように、熱酸化により表面にゲート絶縁膜30bとして厚さ10nmのシリコン酸化膜を形成する。次いで、CVD法により厚さ1 μ mのシリコン酸化膜32を形成し、さらに平坦化のためのレジスト層33を形成し、ベisingによりフローさせる。次に、図13(C)に示すように、RIE法によるエッチバックを行って、半導体基板11の凹部の底部から0.3 μ mの厚さまでシリコン酸化膜32を残す。このとき、ポリシリコン膜上のシリコン酸化膜31はエッチバックと同時に除去される。

【0057】最後に、その上にCVD法またはスパッタリング法により厚さ100nmのタングステンシリサイド膜34を形成した後、フォトリソグラフィ法によりパターンニングし、RIEを行って所望のゲート電極パターンに加工する。このようにして図12に示す構造の素子が得られる。

【0058】また、図13(A)でゲート電極29aであるポリシリコン膜を形成しないか、あるいは図13

(C)でポリシリコン膜を除去する工程を加えることにより、凸部23上面のゲート酸化膜の膜厚が凸部23側面より薄くなるような、両面でゲート酸化膜の膜厚のみが異なる素子を作製することができる。さらに、図13(B)の熱酸化工程の代わりに熱窒化工程を行った場合は、凸部23側面に形成されたゲート絶縁膜のみをシリコン窒化膜とすることができる。また、凸部23側面に形成されたゲート絶縁膜は、熱酸化ではなくCVDによる堆積により形成してもよい。この場合は、図13

(C)で全面に、例えばタンタル酸化膜を厚さ20nmで形成し、RIE法により凸部23側面だけにタンタル酸化膜を残すことにより実現できる。このように、少なくとも凸部23上面のゲート絶縁膜を先に形成することにより、簡潔なプロセスで所望の素子構造を実現できる。

【0059】なお、本発明の第2の発明においては、凸部上面および側面において、ゲート絶縁膜の膜厚、ゲート絶縁膜の材料、ゲート電極の材料のうち少なくとも1つを変えることにより効果が発揮されるので、前記のうち2つ以上を組み合わせ適用しても本発明の効果を発揮する。また、1つのLSIチップの中に、凸部上面および側面のゲート絶縁膜の膜厚、ゲート絶縁膜の材料、ゲート電極の材料を変えた素子と、変えない素子が混在していてもよい。

(実施例3) 図23(A)に示すような凸形トランジスタにおいては、ソース領域107およびドレイン領域108へのコンタクト配線は、通常、ゲート電極106をパターンニングし、ソース領域107およびドレイン領域108を形成し、層間絶縁膜を形成し、コンタクトホールをフォトリソグラフィ法によって形成し、その後コ

14

ンタクト配線層を形成することにより作製される。この場合、コンタクトホールもしくは凸部105aの位置がずれると、ソース領域107およびドレイン領域108と、コンタクト配線層との接触面積が減少してコンタクト抵抗が増大するという問題がある。

【0060】したがって、本発明に係る半導体装置においては、図14に示すようなコンタクト配線を形成することが好ましい。すなわち、まず、上述したようにして素子を作製する。なお、絶縁膜24としては、シリコン酸化膜の他に、LP-TEOS、TEOS-O₃等のガスを用いて形成されたシリコン酸化物系の膜を用いることができる。

【0061】次いで、素子全面にシリコン酸化膜等の層間絶縁膜41を形成し、この上にレジストをさらに形成し、フォトリソグラフィ法により前記レジストをパターンニングし、このレジストパターンをマスクとして異方性エッチングを行ってコンタクトホールを形成する。次いで、レジストを除去した後、厚さ30~100nmのポリシリコン膜あるいはアモルファスシリコン膜をコンフォーマルに形成する。次いで、フォトリソグラフィ法を用いてマスクを形成し、そのマスクを用いてイオン注入を行って、コンタクトが形成される領域42上に形成されたポリシリコン膜あるいはアモルファスシリコン膜に固溶限以上の高濃度で不純物を導入する。この場合、n⁻/n⁺拡散層のコンタクトを形成するときには、不純物としてリン、ヒ素等のn型導電型を示す不純物が用いられ、p⁻/p⁺拡散層のコンタクトを形成するときには、不純物としてホウ素等のp型導電型を示す不純物が用いられる。

【0062】その後、ラピッドサーマルアニール(RTA)法あるいは通常の拡散炉を用いた方法等によってポリシリコン膜あるいはアモルファスシリコン膜に導入された不純物を凸部23に固相拡散させ、これによりコンタクトホールに対してソース領域47およびドレイン領域48を自己整合的に形成する。次いで、ポリシリコン膜あるいはアモルファスシリコン膜をすべてあるいは選択的に除去し、通常のコンタクト配線技法にしたがってコンタクト配線層43を形成する。このようにして、図14に示すようなコンタクト配線を形成することができる。

【0063】上記方法によれば、同一の幅の凸部23を用いて相異なる駆動能力を有する素子を実現することができる。すなわち、大きな駆動能力を必要としない素子は、図15(A)に示すように、凸部23上面の幅と同一あるいはそれより狭い幅のコンタクトホールによってコンタクト配線を行ない、より大きな駆動能力を必要とする素子は、図14(B)に示すように、凸部23上面の幅より広い幅のコンタクトホールによりコンタクト配線を行なう。このようにすることによって、素子の実効的なチャネル幅をコンタクトホールの大きさによって制

御することができる。また、上記方法によれば、コンタクトホールがソース領域47およびドレイン領域48に対してずれて形成されても、コンタクト抵抗の上昇が極力抑制される。また、上記方法により作製された素子は、ソース領域47およびドレイン領域48がコンタクトホールに対して自己整合的に形成される。

【0064】この構造の素子の利点は、図14と図16(B)とを比較することにより理解できる。すなわち、従来の凸形トランジスタにおいては、図16(A)の正常な場合と異なり、図16(B)に示すように、ソース領域47およびドレイン領域48と、コンタクトホールとがずれると、コンタクト部の面積が減少し、素子特性に寄生抵抗による影響が現われる。一方、上記方法により作製された素子においては、図15に示すように、ソース領域47およびドレイン領域48がコンタクトホールによって開孔した凸部23の領域44すべてに対して自己整合的に形成されるため、コンタクト配線層43と、ソース領域47およびドレイン領域48との間の接触面積が極端には減少せず、コンタクト抵抗の増大による素子特性の劣化を最小限に抑えることができる。なお、上記方法では、その形成される素子構造は、コンタクトホールのソース領域47およびドレイン領域48に対するずれの有無によって変化する。

(実施例4) 図17は本発明にかかる半導体装置(MOS形トランジスタ)の他の例を示す斜視図である。

【0065】この素子は、不純物濃度 $1 \times 10^{16} \text{cm}^{-3}$ であるp型シリコン基板51を、 $0.7 \mu\text{m}$ エッチングすることにより、幅 $0.1 \mu\text{m}$ の凸部52を形成し、素子分離領域に絶縁膜53を埋め込み、絶縁膜53を凸部上面から $0.3 \mu\text{m}$ エッチングした後に、凸部52にホウ素をイオン注入することにより、凸部52上面から $0.3 \mu\text{m}$ の部分より深いところ(図17においては絶縁膜53の上面より深いところ)に $1 \times 10^{18} \text{cm}^{-3}$ のp型不純物層54を形成し、その後、厚さ4nmのゲート絶縁膜55を介してゲート電極56を形成し、最後にソース領域57およびドレイン領域58を形成することにより製造される。

【0066】この構造の素子によれば、高濃度のp型不純物層54はソース領域57およびドレイン領域58に接していないため、拡散層耐圧を劣化することなく、p型不純物層54の濃度を上限なく高くすることができ、これにより短チャネル効果の抑制効果が飛躍的に増大し、しかも、拡散層容量は低減化できる。

【0067】本実施例ではNMOSについて説明しているが、PMOSについても同様に製造することができる。また、チャネル領域である不純物層の濃度は、凸部52側面にあるゲート電極に印加される電圧によって凸部52全体が完全に空乏化する濃度であればよい。また、本実施例では、凸部52に形成にエッチング法を用いているが、エピタキシャル成長により形成してもよ

い。この場合、p型不純物層54として、p型ドーパドエピタキシャル層を用いてもよい。

【0068】本実施例においては、凸部52を形成する際に、例えば、図18に示すように、 100° の順テーパを付けることが好ましい。これにより、ゲート電極56を形成した後に凸部52側面にゲート電極が残存することを防止し、ゲート電極56同士の短絡を防止することができる。

【0069】本実施例では、実施例3に示すコンタクト配線を形成することもできる。ただし、この場合には、コンタクトによるドレイン領域と半導体基板との間のジャンクション耐圧が低下しないような構造にすることが必要である。

【0070】本実施例において、比較的高い不純物濃度の領域は、ゲート電極よりも下方の素子領域に形成されていることが好ましい。ゲート電極よりも下方とは、素子分離領域となるフィールド酸化膜の上面よりも下方のことをいう。また、チャネル領域より高い不純物濃度の領域の不純物濃度は、パンチスルー等の短チャネル効果を抑制する条件を満たすことが必要であり、一方、チャネル領域の不純物濃度は、ゲート電圧により完全に空乏化するように低濃度にする必要がある。

【0071】本実施例においては、凸部のチャネル領域の下部に素子領域中に比較的高い不純物濃度の領域を有することを特徴としている。したがって、チャネル領域は完全に空乏化し、短チャネル効果が抑制され、キャリアの移動度が向上することはもちろん、前記高い不純物濃度の領域により、ソース領域ードレイン領域間のパンチスルー耐圧を向上させることができる。

(実施例5) 図19(A)は本発明の第4の発明にかかる半導体装置(MOS形トランジスタ)の一実施例を示す斜視図である。また、図19(B)および図19(C)は、それぞれ図17(A)のXIXB-XIXB線およびXIXC-XIXC線に沿う断面図である。

【0072】図中61は凸部62を有する半導体基板を示す。半導体基板61上には、ゲート絶縁膜63を介してゲート電極64が形成されている。ゲート電極64には、凸部62に形成された拡散層に達する開口部65が形成されており、その領域がドレイン領域66となっている。さらに、チャネル領域67を挟んでソース領域68が形成されている。

【0073】このような構造の素子は図20(A)~図20(C)にしたがって製造することができる。すなわち、図20(A)に示すように、半導体基板61である $1 \times 10^{16} \text{cm}^{-3}$ のp型不純物を有するシリコン基板の(100)表面上に、周知の電子線露光法を用いて、チャネル領域となる幅 $0.25 \mu\text{m}$ 、長さ $1.5 \mu\text{m}$ の領域にレジスト層を形成した後、RIE法により、高さ $0.5 \mu\text{m}$ のシリコン凸部62を形成する。次いで、図20(B)に示すように、半導体基板61上に熱酸化に

17

より、ゲート酸化膜 63 として厚さ 10 nm のシリコン酸化膜を形成し、さらに、その上にゲート電極 64 としてリンをドーブしたポリシリコン膜を形成し、電子線露光によりパターニングした。この状態でゲート電極 64 はチャンネル領域のみならず、ドレイン領域 66 の側面にも、ポリシリコン膜を残存させている。

【0074】次いで、図 20 (C) に示すように、ドレイン領域 66 上のポリシリコン膜に RIE 法により開口部 65 を形成し、加速電圧 50 kV、ドーズ量 $2 \times 10^{15} \text{cm}^{-2}$ でヒ素をイオン注入し、900℃、1 時間のアニール処理を施すことにより、深さ 0.2 μm のソース領域 68 およびドレイン領域 66 を形成する。その後、ソース領域 68、ドレイン領域 66、およびゲート電極 64 に対するコンタクトホールおよびコンタクト配線を電子線露光法を用いて形成する。このとき、凸部 62 の幅 W は $W \leq 2\sqrt{2} (\epsilon_s \cdot \phi_F / q \cdot N_{\text{sub}})^{1/2}$ (式中、 q は電子電荷 (クーロン)、 ϕ_F は半導体基板のフェルミ準位 (eV)、 ϵ_s は半導体基板の誘電率 (ファラッド/cm)、および N_{sub} は半導体基板の不純物濃度 (cm^{-3}) である。) を満足するように設定する。

【0075】このように、本実施例においては、ドレイン領域 66 の側面にもゲート電極 64 が形成され、凸形状の素子領域の幅 W が素子領域の幅 W を上式を満足する。したがって、チャンネル領域はすべて空乏化するのはもちろん、ドレイン領域の側部に電気力線をシールドする電極を形成しているため、ドレイン領域から伸びる電気力線はソース領域方向に伸びず、ほとんど側部の電極で終端する。その結果、ドレイン電位によるチャンネル領域の電位の低下は抑えられ、短チャンネル効果を効果的に抑制することができる。

【0076】上記のようにして作製された素子および従来の素子の短チャンネル効果を測定したところ、従来のものがチャンネル長 0.4 μm で短チャンネル効果による閾値の低下がみられたのに対し、本発明のものはチャンネル長 0.25 μm まで短チャンネル効果による閾値の低下は見られなかった。

【0077】本実施例では、凸部 52 の幅 W を 0.2 μm とし、ゲート絶縁膜 63 の膜厚を 10 nm にしている。凸部 62 の幅 W をさらに狭くするか、あるいはゲート絶縁膜 63 の膜厚をさらに薄くすることにより、短チャンネル効果の抑制はさらに短いチャンネル長まで及ぶことは明らかである。

【0078】図 21 は本発明の第 4 の発明にかかる半導体装置の他の実施例を示す斜視図である。この構造は、RIE によるゲート電極 64 の側面残りを利用している。すなわち、ゲート電極上にマスクパターンを設け、RIE 等の通常の異方性エッチングを用い、異方性エッチングの条件を適宜選定することにより、ドレイン領域 66 の凸部 62 の側面にゲート電極 69 を残しながらゲート電極 64 を形成できる。この場合、ソース領域 68

18

の凸部 62 の側面にもゲート電極 69 が形成されるが、短チャンネル効果を抑える意味からは特に問題はない。

【0079】なお、本発明は、上記した実施例に限定されず、P チャンネル MOSFET、N チャンネル MOSFET のいずれに対しても適用可能である他、種々変形して実施可能であることはいうまでもない。

【0080】また、本発明は、例えば、半導体メモリ装置のセル部分等において狭チャンネル幅が要求される領域に有効に適用することができる。この場合、基板として SOI 基板を用い、メモリセル部分に本発明にかかる素子を用い、周辺素子部に部分空乏化素子を適用することにより、高密度で高速動作する半導体装置を実現することができる。

【0081】以上説明したように本発明の第 1 および第 3 の発明の半導体装置は、凸型トランジスタにおいて、凸形状の半導体素子領域の中央部に、チャンネル領域の表面における濃度よりも高い濃度で第 2 導電型の不純物が含まれる高濃度不純物領域を有するので、3 次元的な広がりにより、素子の電流駆動能力を増加させることができ、チャンネル空乏型素子の特徴を制限することなく、短チャンネル効果やパンチスルーを防止することができ、しかも素子の微細化を実現することができる。

【0082】また、本発明の第 2 の発明の半導体装置は、凸型トランジスタにおいて素子領域の上面に構成されるトランジスタの特性と素子領域の側面に構成されるトランジスタの特性が異なるので、閾値の設定や、回路パターン設計の自由度が増加し、回路目的にしたがって素子特性を選択することができるようになり、集積回路の性能を向上させることができる。

【0083】また、本発明の第 4 および第 5 の発明の半導体装置は、凸型トランジスタにおいてソース領域およびドレイン領域のうち少なくとも高電位を印加する領域の側部に絶縁膜を介して一定電位に保持された電極が形成され、凸形状の素子領域の幅 W が $W \leq 2\sqrt{2} (\epsilon_s \cdot \phi_F / q \cdot N_{\text{sub}})^{1/2}$ (式中、 q は電子電荷 (クーロン)、 ϕ_F は半導体基板のフェルミ準位 (eV)、 ϵ_s は半導体基板の誘電率 (ファラッド/cm)、および N_{sub} は半導体基板の不純物濃度 (cm^{-3}) である。) を満足するので、微細かつ駆動力の大きいトランジスタを実現でき、高密度かつ高性能の集積回路を実現することができる。

【図面の簡単な説明】

【図 1】(A) ~ (C) は本発明の第 1 の発明にかかる半導体装置の製造工程を説明するための断面図。

【図 2】(A)、(B) は本発明の第 1 の発明にかかる半導体装置の製造工程を説明するための断面図。

【図 3】(A)、(B) は本発明の第 1 の発明にかかる半導体装置の製造工程を説明するための断面図。

【図 4】図 2 (B) の IV-IV 線に沿う断面図。

【図 5】図 3 (B) の V-V 線に沿う断面図。

19

【図 6】チャネル長と閾電圧との関係を示すグラフ。

【図 7】チャネル長とサブスレッショルド係数との関係を示すグラフ。

【図 8】(A) は本発明の第 2 の発明にかかる半導体装置の一実施形態を示す断面図、(B) は (A) に示す半導体装置の凸部における空乏領域の広がりを示す図。

【図 9】(A) ~ (C) はドレイン電流-ゲート電圧特性を示す特性図。

【図 10】本発明の第 2 の発明にかかる半導体装置の他の実施形態を示す断面図。

【図 11】本発明の第 2 の発明にかかる半導体装置の他の実施形態を示す断面図。

【図 12】本発明の第 2 の発明にかかる半導体装置の他の実施形態を示す断面図。

【図 13】(A) ~ (D) は図 12 に示す半導体装置の製造工程図。

【図 14】本発明の第 3 の実施形態の半導体装置を示す断面図。

【図 15】(A), (B) は本発明の第 3 の実施形態の半導体装置を示す断面図。

【図 16】(A) は従来の半導体装置の正常なコンタクト状態を示す断面図、(B) は従来の半導体装置のずれがある場合のコンタクト状態を示す断面図。

【図 17】本発明の第 3 の発明にかかる半導体装置の実施形態を示す断面図。

【図 18】図 17 に示す素子の凸部のテーパを説明するための図。

10

20

20

* 【図 19】(A) は本発明の第 4 の発明にかかる半導体装置の実施形態を示す斜視図、(B) は (A) の XIXB-XIXB 線に沿う断面図、(C) は (A) の XIXC-XIXC 線に沿う断面図。

【図 20】(A) ~ (C) は図 19 に示す半導体装置の製造工程を説明するための図。

【図 21】本発明の第 4 の発明にかかる半導体装置の実施形態を示す斜視図。

【図 22】従来の半導体装置を示す断面図。

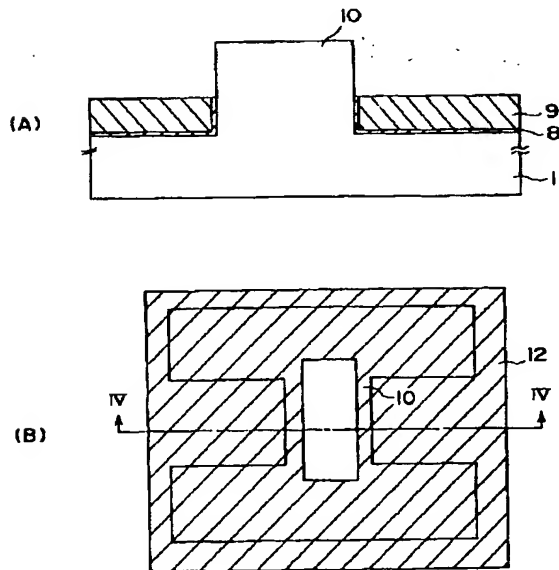
【図 23】(A) は従来の半導体装置を示す斜視図、

(B) は (A) の XXIIIB-XXIIIB 線に沿う断面図。

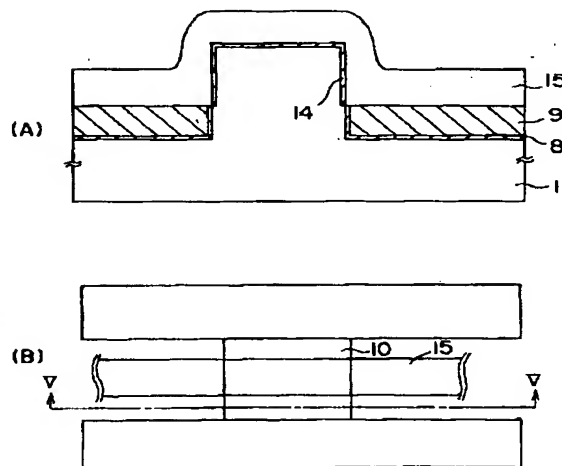
【符号の説明】

1…シリコン基板、2, 4, 8, 31, 32…シリコン酸化膜、3, 15…ポリシリコン膜、5, 12…レジスト膜、6, 65…開口部、7…素子分離溝、9…SiO₂、10…凸型シリコン部、11, 14…熱酸化膜、13…高濃度不純物領域、16…ドレイン電極、21, 51, 61…半導体基板、22…凹部、23, 52, 62…凸部、24, 53…絶縁膜、25a, 25b, 28a, 28b, 30a, 30b, 55, 63…ゲート絶縁膜、26, 29a, 29b, 56, 64…ゲート電極、27…コーナ部、33…レジスト層、34…タングステンシリサイド膜、41…層間絶縁膜、42…コンタクトが形成される領域、43…コンタクト配線層、44…領域、54…p 型不純物層、57, 68…ソース領域、58, 66…ドレイン領域、67…チャネル領域。

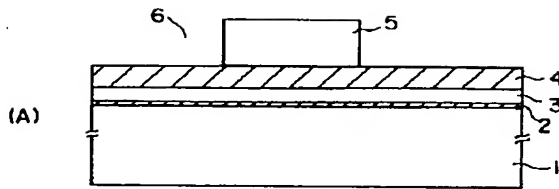
【図 2】



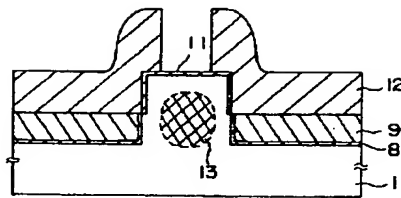
【図 3】



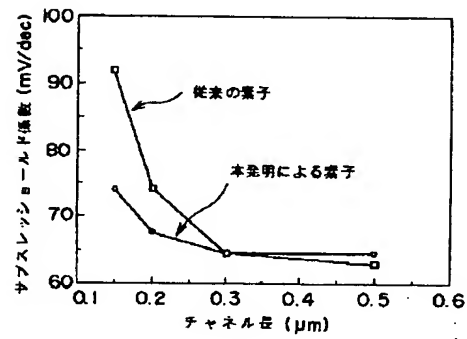
【図 1】



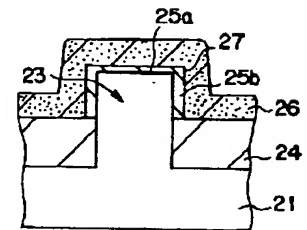
【図 4】



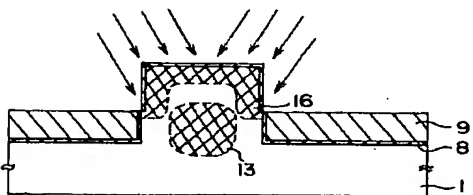
【図 7】



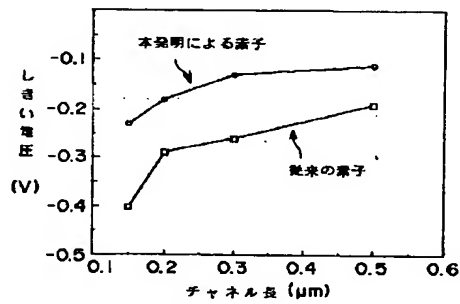
【図 10】



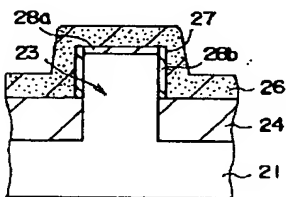
【図 5】



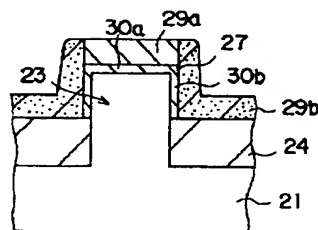
【図 6】



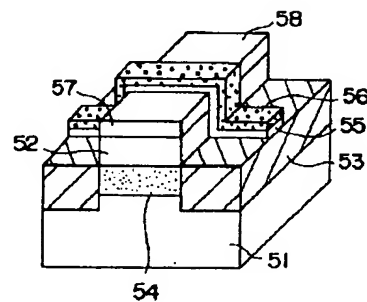
【図 11】



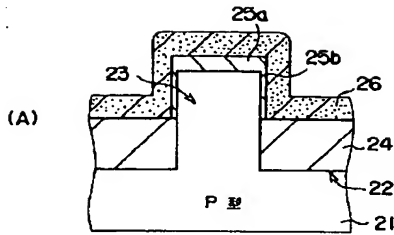
【図 12】



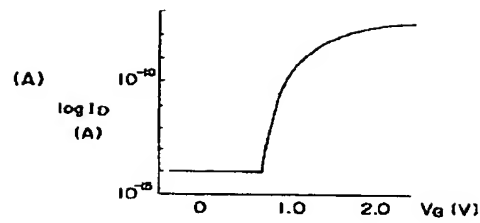
【図 17】



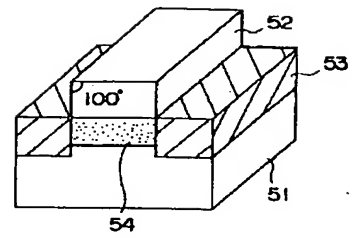
【図 8】



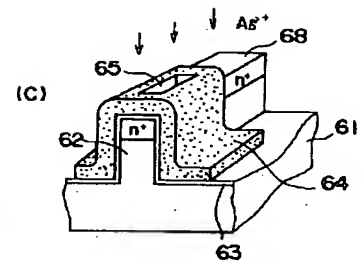
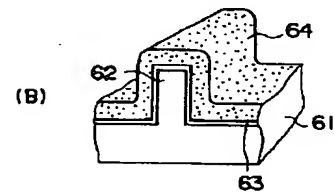
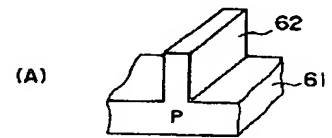
【図 9】



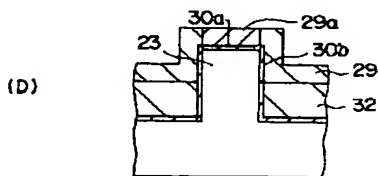
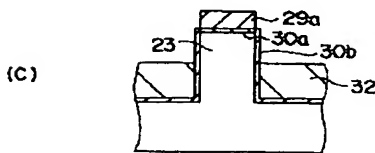
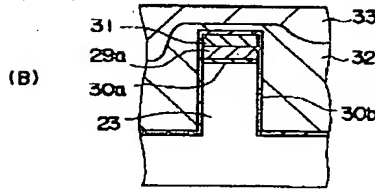
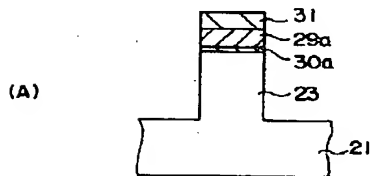
【図 18】



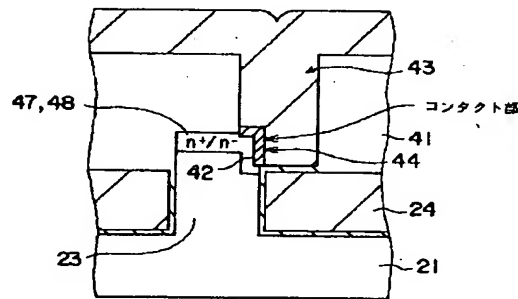
【図 20】



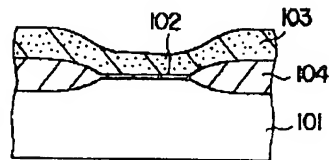
【図 13】



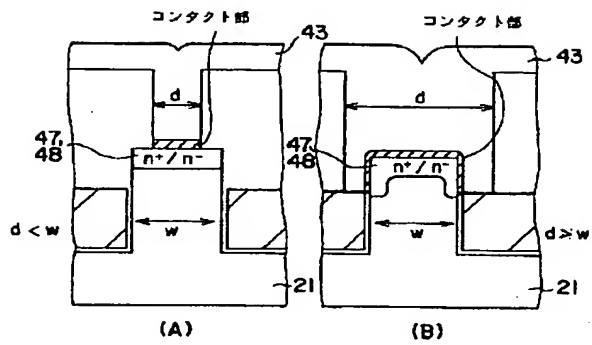
【図 14】



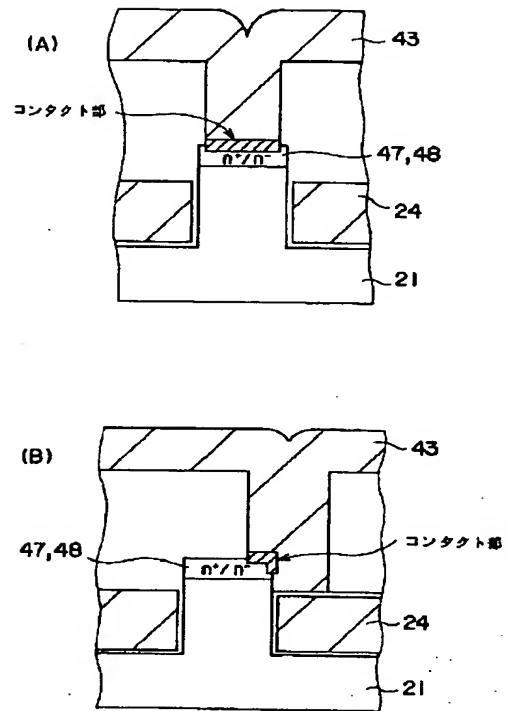
【図 22】



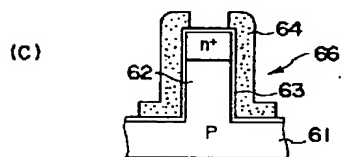
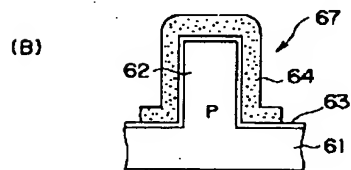
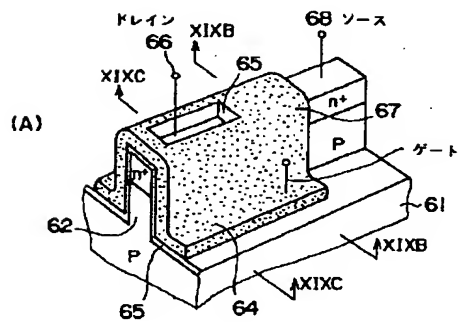
【図15】



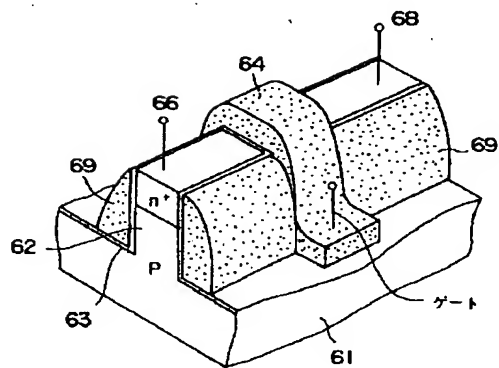
【図16】



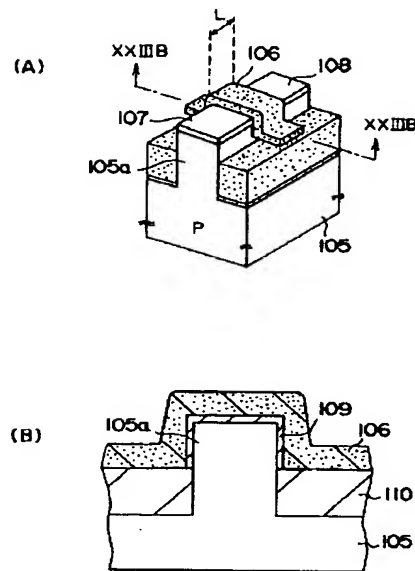
【図19】



【図21】



【図 23】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1 P

(72) 発明者 寺内 衛
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72) 発明者 川中 繁
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内